

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-284606

(43)公開日 平成10年(1998)10月23日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 01 L 21/82

H 01 L 21/82

C

審査請求 有 請求項の数21 O L (全 17 頁)

(21)出願番号 特願平9-90406

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日 平成9年(1997)4月9日

(72)発明者 ▲高▼橋 宗司

東京都港区芝五丁目7番1号 日本電気株式会社内

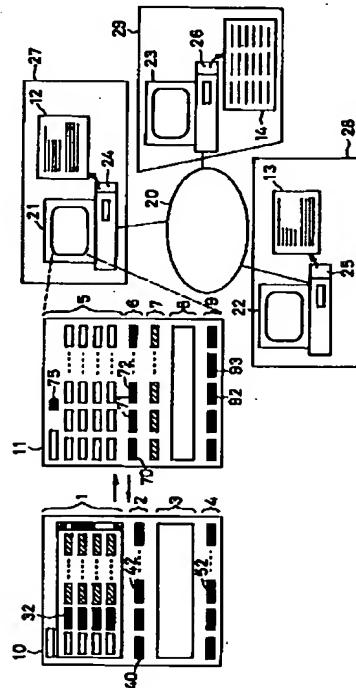
(74)代理人 弁理士 ▲柳▼川 信

(54)【発明の名称】 半導体集積回路の設計支援方法及びその方法を用いたシステム及びその方法を記録した記録媒体

(57)【要約】

【課題】 複数の回路ブロックの組み合わせからなる半導体集積回路の全体的な評価を設計初期の段階で予測する。

【解決手段】 システム解析ブラウザ10画面の解析ボタン32をクリックして回路ブロックを選択すると、その選択した回路ブロック用の回路ブロック解析ブラウザ11画面に切替わる。パラメータ入力パネル5にその回路特有のパラメータを入力し開始ボタン70をクリックすると解析パネル7にその回路の性能予測値が表示される。これを各回路ブロックにつき行う。システム解析ブラウザ10画面のデータフォームパネル3には各回路ブロックの性能予測値とともに各回路間の配線遅延時間の予測が表示される。



## 【特許請求の範囲】

【請求項1】 複数の回路ブロックの組み合わせからなる半導体集積回路の設計支援方法であって、各回路ブロックごとに各回路を構成する能動素子及び配線材に関するテクノロジパラメータを入力する過程と、各回路ブロックの回路規模を決定する回路パラメータを入力する過程と、クロック供給源とこのクロックの供給を受ける各回路ブロック間の伝送路に挿入されるクロックバッファに関するクロックパラメータを入力する過程と、前記各過程で入力されたパラメータを用いて各回路ブロックのクロックスキューの予測、各回路ブロックのサイズ、動作周波数及び消費電力の予測のうち少なくとも1つを行う過程とを含むことを特徴とする半導体集積回路の設計支援方法。

【請求項2】 複数の回路ブロックの組み合わせからなる半導体集積回路の設計支援方法であって、各回路ブロックごとに各回路を構成する能動素子及び配線材に関するテクノロジパラメータを入力する過程と、各回路ブロックの回路規模を決定する回路パラメータを入力する過程と、クロック供給源とこのクロックの供給を受ける各回路ブロック間の伝送路に挿入されるクロックバッファに関するクロックパラメータを入力する過程と、前記各過程で入力されたパラメータを用いて各回路ブロックのサイズ、動作周波数及び消費電力の予測を行う過程と、前記各回路ブロックのサイズに基づき各回路ブロック間の配線遅延時間を予測する過程とを含むことを特徴とする半導体集積回路の設計支援方法。

【請求項3】 前記テクノロジパラメータは前記能動素子のゲート長、ゲート長対ゲート幅比、電源電圧、前記能動素子の閾値電圧、単位長あたりの配線抵抗と容量、配線層数、配線ピッチ及び配線効率値を含むことを特徴とする請求項1又は2記載の半導体集積回路の設計支援方法。

【請求項4】 前記回路パラメータは前記能動素子数、論理の段数、平均のゲートファンアウト及びレンツの指數を含むことを特徴とする請求項1～3いずれかに記載の半導体集積回路の設計支援方法。

【請求項5】 前記クロックパラメータはクロックバッファ1段あたりの分岐数、最終段のクロックバッファに接続されるフリップフロップ数、クロックバッファ間配線長の変動率を含むことを特徴とする請求項1～4いずれかに記載の半導体集積回路の設計支援方法。

【請求項6】 前記請求項1～5いずれかに記載の設計支援方法にさらに通信回線を介して遠隔よりその設計支援方法を使用する過程を含むことを特徴とする半導体集積回路の設計支援方法。

【請求項7】 前記遠隔よりその設計支援方法を使用する過程には前記各パラメータ、クロックスキュー、各回路ブロックのサイズ、動作周波数、消費電力及び各回路ブロック間の配線遅延時間の設計情報を書き自在に保

持する過程を含むことを特徴とする請求項6記載の半導体集積回路の設計支援方法。

【請求項8】 複数の回路ブロックの組み合わせからなる半導体集積回路の設計支援システムであって、各回路ブロックごとに各回路を構成する能動素子及び配線材に関するテクノロジパラメータを入力する手段と、各回路ブロックの回路規模を決定する回路パラメータを入力する手段と、クロック供給源とこのクロックの供給を受ける各回路ブロック間の伝送路に挿入されるクロックバッファに関するクロックパラメータを入力する手段と、前記各過程で入力されたパラメータを用いて各回路ブロックのクロックスキューの予測、各回路ブロックのサイズ、動作周波数及び消費電力の予測のうち少なくとも1つを行う手段とを含むことを特徴とする半導体集積回路の設計支援システム。

【請求項9】 複数の回路ブロックの組み合わせからなる半導体集積回路の設計支援システムであって、各回路ブロックごとに各回路を構成する能動素子及び配線材に関するテクノロジパラメータを入力する手段と、各回路ブロックの回路規模を決定する回路パラメータを入力する手段と、クロック供給源とこのクロックの供給を受ける各回路ブロック間の伝送路に挿入されるクロックバッファに関するクロックパラメータを入力する手段と、前記各過程で入力されたパラメータを用いて各回路ブロックのサイズ、動作周波数及び消費電力の予測のうち少なくとも1つを行う手段とを含むことを特徴とする半導体集積回路の設計支援システム。

【請求項10】 前記テクノロジパラメータは前記能動素子のゲート長、ゲート長対ゲート幅比、電源電圧、前記能動素子の閾値電圧、単位長あたりの配線抵抗と容量、配線層数、配線ピッチ及び配線効率値を含むことを特徴とする請求項8又は9記載の半導体集積回路の設計支援システム。

【請求項11】 前記回線パラメータは前記能動素子数、論理の段数、平均のゲートファンアウト及びレンツの指數を含むことを特徴とする請求項8～10いずれかに記載の半導体集積回路の設計支援システム。

【請求項12】 前記クロックパラメータはクロックバッファ1段あたりの分岐数、最終段のクロックバッファに接続されるフリップフロップ数、クロックバッファ間配線長の変動率を含むことを特徴とする請求項8～11いずれかに記載の半導体集積回路の設計支援システム。

【請求項13】 前記請求項8～12いずれかに記載の設計支援システムにさらに通信回線を介して遠隔よりその設計支援システムを使用する手段を含むことを特徴とする半導体集積回路の設計支援システム。

【請求項14】 前記遠隔よりその設計支援方法を使用する手段には前記各パラメータ、クロックスキュー、各回路ブロックのサイズ、動作周波数、消費電力及び各回

路ブロック間の配線遅延時間の設計情報を読書に自在に保持する手段を含むことを特徴とする請求項13記載の半導体集積回路の設計支援システム。

【請求項15】複数の回路ブロックの組み合わせからなる半導体集積回路の設計支援方法が記録された記録媒体であって、各回路ブロックごとに各回路を構成する能動素子及び配線材に関するテクノロジパラメータを入力する過程と、各回路ブロックの回線規模を決定する回路パラメータを入力する過程と、クロック供給源とこのクロックの供給を受ける各回路ブロック間の伝送路に挿入されるクロックバッファに関するクロックパラメータを入力する過程と、前記各過程で入力されたパラメータを用いて各回路ブロックのクロックスキューの予測、各回路ブロックのサイズ、動作周波数及び消費電力の予測のうち少なくとも1つを行う過程とを実行させるためのプログラムを記録した半導体集積回路の設計支援方法記録媒体。

【請求項16】複数の回路ブロックの組み合わせからなる半導体集積回路の設計支援方法が記録された記録媒体であって、各回路ブロックごとに各回路を構成する能動素子及び配線材に関するテクノロジパラメータを入力する過程と、各回路ブロックの回路規模を決定する回路パラメータを入力する過程と、クロック供給源とこのクロックの供給を受ける各回路ブロック間の伝送路に挿入されるクロックバッファに関するクロックパラメータを入力する過程と、前記各過程で入力されたパラメータを用いて各回路ブロックのサイズ、動作周波数及び消費電力の予測を行う過程と、前記各回路ブロックのサイズに基づき各回路ブロック間の配線遅延時間を予測する過程とを実行させるためのプログラムを記録した半導体集積回路の設計支援方法記録媒体。

【請求項17】前記テクノロジパラメータは前記能動素子のゲート長、ゲート長対ゲート幅比、電源電圧、前記能動素子の閾値電圧、単位長あたりの配線抵抗と容量、配線層数、配線ピッチ及び配線効率値を含むことを特徴とする請求項15又は16記載の半導体集積回路の設計支援方法記録媒体。

【請求項18】前記回路パラメータは前記能動素子数、論理の段数、平均のゲートファンアウト及びレンツの指數を含むことを特徴とする請求項15～17いずれかに記載の半導体集積回路の設計支援方法記録媒体。

【請求項19】前記クロックパラメータはクロックバッファ1段あたりの分岐数、最終段のクロックバッファに接続されるフリップフロップ数、クロックバッファ間配線長の変動率を含むことを特徴とする請求項15～19いずれかに記載の半導体集積回路の設計支援方法記録媒体。

【請求項20】前記請求項15～19いずれかに記載の設計支援方法記録媒体にさらに通信回線を介して遠隔よりその設計支援方法を使用する過程を含むことを特徴

とする半導体集積回路の設計支援方法記録媒体。

【請求項21】前記遠隔よりその設計支援方法を使用する過程には前記各パラメータ、クロックスキュー、各回路ブロックのサイズ、動作周波数、消費電力及び各回路ブロック間の配線遅延時間の設計情報を読書き自在に保持する過程を含むことを特徴とする請求項20記載の半導体集積回路の設計支援方法記録媒体。

【発明の詳細な説明】

【0001】

10 【発明の属する技術分野】本発明は半導体集積回路の設計支援方法及びその方法を用いたシステム及びその方法を記録した記録媒体に関し、特に大規模集積回路(LSI)の性能を予測するための半導体集積回路の設計支援方法及びその方法を用いたシステム及びその方法を記録した記録媒体に関する。

【0002】

【従来の技術】半導体集積回路(LSI)の規模が増大するにつれて、設計にかかる時間が非常に多くなってきたため、LSIの性能を設計のできるだけ早い段階で予測することが必要となってきた。しかし、その要求に反して、トランジスタ素子の高速化によって、LSIの性能が、配線遅延に大きく左右されるようになったため、配線をレイアウトするというかなり後ろの段階になるまで、LSIの性能を見積もることができなくなっている。

20 【0003】LSIの性能を見積もる方法の一つとして、SUSPENS(Stanford University System Performance Simulator)モデルが提案されている(H. B. Bakogulu et. al. ISSCC'87, pp. 308～309, 439～440, 1987.)。このモデルはテクノロジパラメータ及び回路パラメータからLSI全体の性能を1つの見積値で見積もるというものである。

【0004】又、この種の技術が特開平7-7142号公報、特開平8-77243号公報、特開平8-77227号公報、特開平7-262264号公報、特開平7-263560号公報、特開平6-37184号公報に開示されている。

40 【0005】特開平7-7142号公報に開示された技術は、論理記述より遅延時間を計算して、トランジスタの物理的配線形状の最適値を計算し、この計算結果よりセルベースのレイアウトに配置配線を行うというものである。

【0006】特開平8-77243号公報に開示された技術は、容量負荷に対するディレイ値と十分長い配線に対するディレイ値から有効配線長を決定し、この有効配線長を用いることで論理ゲートに結合された負荷容量の計算精度を向上させ、さらにディレイ値の計算精度を向上させるというものである。

50 【0007】特開平8-77227号公報に開示された

技術は、クロック信号を必要とするセルについて、クロック信号配線の長さを異にし、クロック信号を遅延させる時間を異にする複数のセルをパターンバージョンとして予めセルに登録しておくことにより、クロックスキューを小さくするための処理を容易に自動化するというものである。

【0008】特開平7-262264号公報に開示された技術は、相互に干渉する論理セルの分割を既分割の情報を保持しながら同時に行うことにより、大局的な最適化を図るというものである。

【0009】特開平7-263560号公報に開示された技術は、半導体集積回路の仕様に応じて最適な入出力バッファを選択し、半導体集積回路の消費電力を低減させ、チップ面積を縮小して高い面積効率の半導体集積回路を設計し得るというものである。

【0010】特開平6-37184号公報に開示された技術は、諸元データを入力し、そのデータに基づきレイアウト設計を行い、その設計結果に基づきチャネル使用率、チップサイズ、信号ディレイ値及び容量を演算し、さらにその演算結果が要求仕様を満足するか否かを評価することにより半導体集積回路設計の初期段階における評価の精度の向上を図るというものである。

【0011】

【発明が解決しようとする課題】しかしながら、SUSPENSモデルではクロック・スキーの値として、 $R_{int} C_{int} Dc^2 / 2$ を仮定しているため (SUSPENSモデルの文献、p440、TABLE 2, Step 8参照)、配線遅延の割合が増大している  $0.35 \mu m$  ルール以降の微細なLSIに対しては、見積もりが合わなくなってしまった。例えば、 $0.35 \mu m$  ルール、 $1.5 \mu m$  角チップ、配線抵抗  $0.125 \Omega / \mu m$ 、配線容量  $0.17 fF / \mu m$  (配線幅  $0.4 \mu m$ 、配線ピッチ  $1 \mu m$ 、配線膜厚  $0.6 \mu m$ 、層間膜厚  $1 \mu m$ ) を仮定すると、

$$0.125 \times 0.17 \times 10 - 15 \times (15 \times 103) / 2 = 2.4 \text{ nsec}$$

と計算されるが、実際には  $200 \text{ psec}$  程度であるため、約1桁計算が異なっている。即ち、計算値は実際の約10倍となる。

【0012】またSUSPENSモデルでは、回路アーキテクチャに依存すると言われているレンツの指數pを用いている。しかし、LSIの大規模化が進むに連れて異なるアーキテクチャの回路ブロック、例えばCPUコアと1次キャッシュメモリ、2次キャッシュメモリを1つのチップに搭載するようになってきているため、こうしたアーキテクチャの変更に対して、従来のレンツの指數を用いることはできなくなっている。

【0013】なぜならば、SUSPENSモデルは本来1つの回路全体の性能を最終的に評価するものだから、その回路構成を変更した場合の性能までは評価できない

からである。

【0014】たとえこの新しいアーキテクチャに対してレンツの指數が定まったとしても、LSIの集積化が進み、さらに別の回路のブロックも同じチップに搭載するようになると、また新たにレンツの指數を決める必要が出てくる。つまりSUSPENSモデルを使い限り、新しいアーキテクチャのLSIの性能を予測することは非常に困難である。

【0015】即ち、SUSPENSモデルを設計に使用したとしても、設計するLSI全体の動作周波数、チップ面積および消費電力の見積もりを算出し、設計が仕様を満たしているかどうかを判定するだけであって、設計の変更に関し、どこをどのように変えればよいかについては何ら有効な情報を提供する訳ではない。

【0016】又、前述の各公報に開示された技術は回路ブロックについての性能見積もりに関する技術であり、複数の回路ブロックの組み合わせからなる半導体集積回路の全体的な評価を設計初期の段階で予測する技術を提供するものではない。

【0017】そこで本発明の目的は複数の回路ブロックの組み合わせからなる半導体集積回路の全体的な評価を設計初期の段階で予測することができ、しかもその予測を通信回線を介して遠隔より行うことが可能な半導体集積回路の設計支援方法及びその方法を用いたシステム及びその方法を記録した記録媒体を提供することにある。

【0018】

【課題を解決するための手段】前記課題を解決するためには、複数の回路ブロックの組み合わせからなる半導体集積回路の設計支援方法であって、各回路ブロックごとに各回路を構成する能動素子及び配線材に関するテクノロジパラメータを入力する過程と、各回路ブロックの回路規模を決定する回路パラメータを入力する過程と、クロック供給源とこのクロックの供給を受ける各回路ブロック間の伝送路に挿入されるクロックバッファに関するクロックパラメータを入力する過程と、前記各過程で入力されたパラメータを用いて各回路ブロックのクロックスキューの予測、各回路ブロックのサイズ、動作周波数及び消費電力の予測のうち少なくとも1つを行う過程とを含むことを特徴とする。

【0019】本発明による他の発明は、複数の回路ブロックの組み合わせからなる半導体集積回路の設計支援システムであって、各回路ブロックごとの各回路を構成する能動素子及び配線材に関するテクノロジパラメータを入力する手段と、各回路ブロックの回路規模を決定する回路パラメータを入力する手段と、クロック供給源とこのクロックの供給を受ける各回路ブロック間の伝送路に挿入されるクロックバッファに関するクロックパラメータを入力する手段と、前記各手段で入力されたパラメータを用いて各回路ブロックのクロックスキューの予測、各回路ブロックのサイズ、動作周波数及び消費電力の予測のうち少なくとも1つを行う過程とを含むことを特徴とする。

測のうち少なくとも1つを行う手段とを含むことを特徴とする。

【0020】さらに本発明による他のもう1つの発明は、複数の回路ブロックの組み合わせからなる半導体集積回路の設計支援方法が記録された記録媒体であって、各回路ブロックごとに各回路を構成する能動素子及び配線材に関するテクノロジパラメータを入力する過程と、各回路ブロックの回路規模を決定する回路パラメータを入力する過程と、クロック供給源とこのクロックの供給を受ける各回路ブロック間の伝送路に挿入されるクロックバッファに関するクロックパラメータを入力する過程と、前記各過程で入力されたパラメータを用いて各回路ブロックのクロックスキューの予測、各回路ブロックのサイズ、動作周波数及び消費電力の予測のうち少なくとも1つを行う過程とを実行させるためのプログラムを記録した記録媒体であることを特徴とする。

【0021】本発明によれば、テクノロジパラメータ、回路パラメータ及びクロックパラメータを入力することによりクロックスキューの予測、及び各回路ブロックのサイズ、動作周波数及び消費電力の予測を行うことができる。

【0022】本発明による他の発明によれば、テクノロジパラメータ、回路パラメータ及びクロックパラメータを入力することによりクロックスキューの予測、及び各回路ブロックのサイズ、動作周波数及び消費電力の予測を行うことができる。

【0023】さらに本発明による他のもう1つの発明によれば、テクノロジパラメータ、回路パラメータ及びクロックパラメータを入力することによりクロックスキューの予測、及び各回路ブロックのサイズ、動作周波数及び消費電力の予測を行うことができるプログラムを記録した記録媒体が得られる。

【0024】

【発明の実施の形態】以下、本発明の実施の形態について添付図面を参照しながら説明する。

【0025】本発明は、まず、クロック・スキューについて新しいモデルを提供する。クロック・スキューとは、クロック信号を必要とする回路に伝送されるクロック信号の各回路間での位相ずれをいう。このモデルは複数段のクロック・バッファを用いてクロック・パルスを分配することを仮定しているため、より現実に則したモデルであり、クロック・スキューの予測精度も改善される。

【0026】図14はクロック発生器が伝送線にてフリップフロップ回路ブロックと直結されている場合の回路図である。又、図15はクロック発生器がクロックバッファを介してフリップフロップ回路ブロックと接続されている場合の回路図である。

【0027】図14によればクロック発生器131がフリップフロップ回路ブロック132と伝送線にて直結さ

れている。図15によればクロック発生器111がクロックバッファ112～120を介してフリップフロップ回路ブロック121と接続されている。

【0028】図14に示すようにクロック伝送線路が長くなるとクロックの伝送遅延が大きくなる。そこで、図15に示すようにこの長い伝送線路を何段かに分割し、その間にバッファ112～120を挿入して高速化する技術が開発されている。又、クロックを分配する配線においては、分割すると同時に分岐させてツリー構造とし、各段における配線ができるだけ等しくなるよう考慮されている。

【0029】さて、SUSPENSモデルではこのツリー構造を考慮していないので、クロックスキューは前述したようにRintCintDc2となり、非常に大きくなってしまう。一方、本発明ではこのツリー構造を考慮し、さらに各段における配線長の変動を仮定してクロックスキューを計算している。従って、本発明によるクロックスキューの計算値はSUSPENSモデルの場合より精度が高くなる。

【0030】次に大規模回路を複数の回路ブロックの組み合わせによって設計することを前提とし、各回路ブロックの動作周波数、サイズおよび消費電力を、それぞれのテクノロジパラメータ、回路パラメータおよびクロックパラメータから見積もる式を提供する。また回路ブロックのサイズの和の係数倍を回路ブロック間の長さの目安として、その長さの配線遅延も算出する。これによりどの回路ブロック、もしくは回路ブロック間の配線遅延が全体のLSI性能を律速しているかが明確となり、例えばブロック間配線遅延の大きい回路ブロックを優先的に隣同士の配置するようにするといった、設計における有効な情報となる。

【0031】次に、半導体集積回路の性能を予測するための計算式について説明する。

【0032】この計算式に用いる各種パラメータは、テクノロジパラメータがトランジスタのゲート長Lgと、n形チャネルMOS(以下、nMOSという。)トランジスタにおける平均のゲート幅のゲート長に対する比Wg/Lgと、電源電圧VDDと、閾値電圧VTHと、ゲート酸化膜厚t<sub>g</sub>oxと、単位線長あたりの配線抵抗R<sub>int</sub>と、単位線長あたりの配線容量C<sub>int</sub>と、層間膜の比誘電率ε' と、配線層数n<sub>w</sub>と、配線ピッチp<sub>w</sub>と、配線効率e<sub>w</sub>と、ブロック間配線長比R<sub>o</sub>とからなり、回路パラメータがトランジスタ数N<sub>g</sub>と、論理の段数f<sub>1d</sub>と、平均のゲートファンアウトf<sub>g</sub>と、デューティファクタ(任意の時間における動作しているトランジスタ数の全トランジスタ数に対する比)f<sub>d</sub>と、レンツの指數pと、ブロック間配線長比r<sub>1</sub>とかなり、クロックパラメータがクロックバッファの一段あたりの分岐数n<sub>b</sub>と、最終段のクロックバッファに接続されるフリップフロップ数n<sub>f</sub>と、クロックバッファ

間配線長の変動率  $\Delta I_o / I_o$  とからなる。

\*用いて、

【0033】まず、ゲートピッチを単位とする平均配線長Rバーは、トランジスタ数N<sub>g</sub>及びレンツの指數pを\*

【0034】

【数1】

$$\bar{R} = \frac{\left( \frac{1}{p} - \frac{\sqrt{N_g}}{p-0.5} - \frac{1}{6\sqrt{N_g}(p+0.5)} + N_g p \left( \frac{-p-1+4^{p-0.5}}{2(p+0.5)(p-0.5)p(p-1)} \right) \right)}{\left( N_g^{p-0.5} \frac{-2p-1+2^{2p-1}}{p(2p-1)(p-1)(2p-3)} - \frac{1}{6p\sqrt{N_g}} + \frac{1}{p-0.5} - \frac{\sqrt{N_g}}{p-1} \right)}$$

と表される。

【0035】次に、チップ(又はブロック)面積が配線収容能力により制限されているという仮定の下では、ゲートピッチd<sub>g</sub>及びチップ(又はブロック)面積D<sub>c</sub>は、

【0036】

【数2】

$$d_g = \frac{f_g \bar{R} p w}{e_w D_w}$$

【0037】

【数3】

$$D_c = d_g \sqrt{N_g}$$

と表される。

【0038】平均配線長I<sub>av</sub>は数1、数2より、

【0039】

【数4】

$$I_{av} = \bar{R} \cdot d_g$$

と表される。

【0040】最小寸法のnMOSトランジスタのオン抵抗R<sub>tr</sub>は、

【0041】

【数5】

$$R_{tr} = \frac{1}{\mu C_{gox} (V_{DD} - V_{TH})}$$

と表される。

【0042】ただし、 $\mu$ はn型シリコンのキャリアの移動度、C<sub>gox</sub>は単位面積あたりのゲート酸化膜容量を示す。

【0043】CMOSゲートでは、p形チャネルMOS※

$$T_d = (N_{cb} - 1) \left\{ n_b \frac{R_{tr}}{h_{cb}} \left( C_{int} \frac{D_c}{N_{cb}} + h_{cb} C_0 \right) + R_{int} \frac{D_c}{N_{cb}} \left( \frac{1}{2} C_{int} \frac{D_c}{N_{cb}} + h_{cb} C_0 \right) \right\} + n_f \frac{R_{tr}}{h_{cb}} \left( C_{int} \frac{D_c}{N_{cb}} + C_{ff} \right) + R_{int} \frac{D_c}{N_{cb}} \left( \frac{1}{2} C_{int} \frac{D_c}{N_{cb}} + C_{ff} \right)$$

と表される。

【0050】ただし、C<sub>0</sub>は最小ゲート入力容量、C<sub>ff</sub>はフリップフロップの入力容量で、夫々、

【0051】

【数10】

$$C_0 = 3C_{gox} L_g^2$$

10※(以下、pMOSという。)トランジスタとnMOSトランジスタのオン抵抗はバランスするようにpMOSトランジスタのW<sub>g</sub>/L<sub>g</sub>比はnMOSトランジスタの2倍に設定されている。これとファンアウトf<sub>g</sub>も考慮して、ゲートの出力抵抗R<sub>gout</sub>及び入力容量C<sub>gin</sub>は、

【0044】

【数6】

$$R_{gout} = f_g \frac{R_{tr}}{W_g / L_g}$$

20 【0045】

【数7】

$$C_{gin} = 3C_{gox} W_g L_g$$

と表される。

【0046】又、平均ゲート遅延T<sub>g</sub>は数6のゲートの出力抵抗R<sub>gout</sub>のゲート出力に平均配線長I<sub>av</sub>の配線による負荷と入力容量C<sub>gin</sub>の負荷がかけられているときの遅延となるので、

【0047】

【数8】

$$30 T_g = f_g R_{gout} (C_{int} I_{av} + C_{gin}) + R_{int} I_{av} (\frac{1}{2} C_{int} I_{av} + C_{gin})$$

と表される。

【0048】次に、クロックバッファのW<sub>g</sub>/L<sub>g</sub>比をh<sub>cb</sub>とし、チップ面積D<sub>c</sub>をN<sub>cb</sub>段のクロックバッファで駆動するとしたとき、1段あたりn<sub>b</sub>分岐することを考慮して遅延T<sub>d</sub>は、

【0049】

【数9】

★【0052】

【数11】

$$C_{ff} = 3C_{gin}$$

と表される。

【0053】この遅延T<sub>d</sub>を最小にする条件から、N<sub>cb</sub>

★50 b及びh<sub>cb</sub>が夫々、

11

【0054】

【数12】

$$N_{cb,min} = \frac{lnN_{ff} - lnN_f}{lnn_b} + 1$$

【0055】

【数13】

$$h_{cb} = \sqrt{\frac{R_o C_{int} D_c \left( n_b + \frac{n_f}{N_{cb}-1} \right) + R_o N_{cb} C_{ff} \frac{n_f}{N_{cb}-1}}{R_{int} D_c C_o}}$$

\*10

$$T_{skew} = (N_{cb}-1) \times 2R_{int} \Delta \ell_o (C_{int} \ell_o + h_{cb} C_o) + 2R_{int} \Delta \ell_o (C_{int} \ell_o + C_{ff}) \\ + (N_{cb}-1) \times 2n_b \frac{R_{tr}}{h_{cb}} C_{int} \Delta \ell_o$$

と表される。

【0058】ただし、 $I_o$  は

【0059】

【数15】

$$\ell_o = D_c / N_{cb}$$

から計算され、 $\Delta I_o / I_o$  はパラメータとして与えられるので、 $\Delta I_o$  も、

【0060】

【数16】

$$\Delta \ell_o = \ell_o \cdot (\Delta \ell_o / \ell_o)$$

から求められる。

【0061】ここで、クロックバッファ間配線長の変動率 $\Delta I_o / I_o$ について簡単に説明する。いま、クロック発生器から第1のクロックバッファまでの伝送線路の長さを11、第2のクロックバッファまでの伝送線路の長さを12、第3のクロックバッファまでの伝送線路の長さを13、第4のクロックバッファまでの伝送線路の長さを14とする。

【0062】そして、この11～14の平均値を $I_o$ とする。次に、11～14のうちの最大値から最小値を減算した値を $2\Delta I_o$ とし、これより $\Delta I_o$ を計算する。

【0063】そして、 $\Delta I_o / I_o$  が全てのクロックバッファの段で一定と仮定し遅延差を計算するのである。

【0064】最後に、半導体集積回路又は回路ブロックの動作周波数 $f_c$ は、平均ゲート遅延 $T_g$ 、論理の段階 $f_{1d}$ 、クロックスキュー $T_{skew}$ 、そしてチップ上の電磁波の伝搬速度 $v_c$ を用いて、

【0065】

【数17】

$$f_c = \left( f_{1d} T_g + T_{skew} + \frac{D_c}{v_c} \right)^{-1}$$

と表される。

【0066】ただし、

【0067】

【数18】

12

\*と表される。

【0056】そして、クロックスキューは、クロックバッファ間配線長の差に主に起因した遅延差であり、各配線区間にごとに配線長の差は $2\Delta I_o$ であるため、クロックスキュー $T_{skew}$ は、

【0057】

【数14】

※

$$v_c \approx \frac{C_o}{\sqrt{\epsilon}}$$

で表される。ここに、 $C_o$  は光速である。

【0068】又、半導体集積回路又は回路ブロックの消費電力 $P_c$ は動作周波数 $f_c$ 及び全容量である $C_c$ を用いて次のように計算される。

20 【0069】

【数19】

$$P_c = \frac{1}{2} f_c f_d C_c V_{DD}^2$$

ただし、

【0070】

【数20】

$$C_c = \frac{D_c^2 n_w C_{int}}{P_w} + C_{gin} N_g f_g$$

である。

30 【0071】このようにして、各回路ブロックのテクノロジーパラメータ、回路パラメータ及びクロックパラメータを与えれば、夫々の動作周波数、サイズ、消費電力を計算することができる。

【0072】各ブロック間の配線遅延は、例えば回路ブロックAのブロックサイズを $D_c 1$ 、回路ブロックBのブロックサイズを $D_c 2$ と計算されたとすると、ブロックA、B間の配線遅延 $T_{dAB}$ は、係数 $r_1$ をかけて、

【0073】

【数21】

$$T_{dAB} = r_1 (D_c A + D_c B) R_{int} C_{int} / 2$$

のように計算すれば良い。

【0074】次に、この配線遅延 $T_{dAB}$ について簡単に説明する。図6～図8は配線遅延 $T_{dAB}$ を説明するための模式説明図である。

【0075】図6に示すように、回路ブロックAと回路ブロックBとを結ぶ配線には、配線201のような短いものもあれば、配線202のように長いものもある。そこで、配線遅延として典型的な値を計算するためにある長さを仮定する。

※ 50 【0076】その方法として、次のように計算する。回

13

路ブロックAのサイズをDc1、回路ブロックBのサイズをDc2とすると、配線遅延=k×(Dc1+Dc2)で表される。ここに、kは比例係数で、典型的にはk=1とおけばよい。回路ブロックAとBが隣接している場合は、k=2の時最大の配線遅延となる。なお、kはブロック間配線長比r1と等価であり、Dc1と数21のDcA、Dc2と数21のDcBも夫々等価である。

【0077】図7は回路ブロックA、B間の配線が最短となる回路ブロックAとBの位置関係を示している。

【0078】図8は同配線が最長となる回路ブロックAとBの位置関係を示している。図7では配線長が(Dc1+Dc2)となるのに対し、図8では2(Dc1+Dc2)となる。従って、図7の場合のkを1とすれば、図7ではkは2となるのである。

【0079】この数21では、全ての回路ブロックが隣合わせになっていることを仮定しているため、正確ではない。しかし、回路ブロックをレイアウトする際の1つの参考データとしての利用価値がある。例えば、回路ブロック間の遅延が大きい回路ブロックどうしを優先的に隣合わせにするといったレイアウトの方針を決めたり、回路ブロックそれぞれの動作周波数と比較して、回路ブロックから構成された半導体集積回路全体が、大体どのくらいの動作周波数で動作することが可能かを見積もることができる。

【0080】このような、各ブロックのテクノロジパラメータ、回路パラメータおよびクロックパラメータを入力として与えれば、各ブロックの動作周波数、サイズ、消費電力、および各ブロック間の配線遅延を出力するという操作を、java(ジャバ)言語などのネットワーク対応の言語、もしくはPerl言語などのCGI(コモン・ゲート・インターフェース)スクリプトなどによってプログラムを記述し、WWW(ワールド・ワイド・ウェブ)ブラウザ上で簡単に実現できるようにした、設計支援システムを提案する。これにより、所定のWWWホームページにアクセスするだけで、誰でも簡単に設計のための情報を得ることができる。また、ファイヤーウォールを設計しておけば、特定の設計開発グループのみがそのホームページにアクセスできるようにすることもできる。ここに「ファイヤーウォール」とはある組織のネットワーク(たとえばインターネット)をインターネットに接続し、組織外からのアクセスを制限するよう設定することをいう。

【0081】さらに、各ブロックのテクノロジパラメータ、回路パラメータおよびクロックパラメータからなる入力パラメータと、各ブロックの動作周波数、サイズ、消費電力、および各ブロック間の配線遅延からなる出力結果との総体を、所定のデータフォーム形式で出力できるようにし、かつこのデータフォームをインターネットまたはインターネットを介して特定または不特定の設計開発者間で閲覧したり、利用したり、ライブラリとして

10

20

30

40

50

14

蓄積することができるようにした設計支援のシステムを提案する。このデータフォームで記述された設計情報に対しても、ファイヤーウォールの設定によって特定の設計開発グループ内のみで共有できるようにすることができます。

【0082】次に、この半導体集積回路の設計支援システムの構成について説明する。図1は本発明に係る半導体集積回路の設計支援システムの全体構成図である。

【0083】半導体集積回路の設計支援システムは、システム解析プラウザ10と回路ブロック解析プラウザ11とからなる。これらはコンピュータのディスプレイ上に表示され、この画面上の所定箇所をポインティングデバイス等でクリックして各パラメータの入力及び計算結果の表示を行うソフトウェアである。

【0084】このシステム解析プラウザ10と回路ブロック解析プラウザ11は開発設計部門27、28及び管理センター29にて通信回線網(たとえば、インターネット:インターネット・プロトコルと呼ばれる共通のルールに基づいて接続されたネットワークの総称をいう。)20を介して共用し得るよう構成されている。

【0085】即ち、開発設計部門27、28及び管理センター29は通信回路網20を介して相互接続されている。

【0086】開発設計部門27は記憶デバイス24を備えたコンピュータ21を有する。12はコンピュータ21が有するシステム解析データフォームを模式的に表示したものである。

【0087】開発設計部門28は記憶デバイス25を備えたコンピュータ22を有する。13はコンピュータ22が有するシステム解析データフォームを模式的に表示したものである。

【0088】管理センター29は記憶デバイス26を備えたコンピュータ23を有する。14はコンピュータ22が有する半導体集積回路又は回路ブロックのデータライブラリを模式的に表示したものである。

【0089】又、本設計支援システムのプログラム(即ち、システム解析プラウザ10と回路ブロック解析プラウザ11)は本実施の形態では管理センター29の記憶デバイス26に格納されているものとする。しかし、これに限定されるものではなく、開発設計部門27の記憶デバイス24あるいは開発設計部門28の記憶デバイス25に格納してもよく、複数箇所に格納してもよい。なお、このプログラムとは別に通信回線20を利用するためのソフトウェア(たとえば、WWW(ワールド・ワイド・ウェブ))サーバを格納しておく必要がある。

【0090】次に、本設計支援システムのプログラムが格納される記録媒体について説明する。図2は記録媒体を含むコンピュータシステムの構成図である。このコンピュータシステムは前述したコンピュータ21~23夫々に相当し、記録媒体は前述した記憶デバイス24~2

6に夫々相当する。

【0091】コンピュータシステムは、データ処理装置151と、記録媒体152と、記憶装置153と、入力装置154と、出力装置155とからなる。

【0092】記録媒体152は、たとえばハードディスク等の磁気ディスクであるが、2値情報を記録するものであれば他の媒体でもよい。

【0093】記録媒体152には設計支援システムのプログラムが格納されている。まず、ディスク処理装置151によりプログラムが記録媒体152より記憶装置153にロードされる。これで、プログラムの起動が可能となる。

【0094】次に、入力装置154よりパラメータが入力されるとデータ処理装置151はプログラムに従い所定の演算を行う。そして、入力されたパラメータ及び演算結果は出力装置155に表示される。

【0095】又、入力装置154及び出力装置155は図示しない入出力インターフェースを備え、通信回線網20を介して他のコンピュータと接続される。

【0096】従って、他のコンピュータから入力されたパラメータをこの入力装置154を介してデータ処理装置151にて処理することが可能であり、又、このデータ処理装置151での演算結果を出力装置155を介して他のコンピュータの出力装置155に表示させることも可能である。

【0097】次に、システム解析プラウザ10及び回路ブロック解析プラウザ11について図2の設計支援システムの動作を示すフローチャートも併せて参照しながら説明する。

【0098】システム解析プラウザ10は各回路ブロックの演算結果を一覧できるものであり、最終的には各回路ブロック間の配線遅延の演算結果も確認できるものである。

【0099】回路ブロック解析プラウザ11は回路ブロックごとに必要なパラメータを入力して回路ブロックごとの演算結果（性能の見積もり）を得るものである。どの回路ブロックを指定するかはシステム解析プラウザ10にて行う。

【0100】まずシステム解析プラウザ10において半導体集積回路をいくつかの回路ブロックに分割し（S1）、次に必要な回路ブロックを指定する（S2）。それぞれの回路ブロックの解析ボタン32をクリックすると回路ブロック解析プラウザ11へ移る。プラウザ画面11で、回路ブロックパラメータ入力パネル5で回路ブロックの各パラメータを入力した（S3）後、回路ブロック解析コントロールパネル6の中にある回路ブロック解析スタートボタン70をクリックすると（S4）、数1～20に従って計算が行われ、回路ブロック解析データ出力パネル7にその計算結果が出力される（S5）。

【0101】所望の結果が得られなければ（S6）、入

力データを変更して（S7、S3）再び解析スタートボタン70をクリックする（S4）。データを初めから直したい場合は、回路ブロック解析コントロールパネル6の中にある回路ブロック入力パネルクリアボタン71をクリックして入力パラメータをクリアすればよい（S7、S1）。

【0102】回路ブロック解析コントロールパネル6の中にある回路ブロック解析結果データフォーム出力ボタン72をクリックすると、入力パラメータおよび計算結果が、データフォームの形式で、回路ブロック解析データフォームパネル8の中に出力される。新たにパラメータを入力して計算を行った後、データフォーム出力ボタン72をクリックすると、それまでのデータにさらに新たなデータが付け加えられる。

【0103】回路ブロック解析データフォームコントロールパネル8には、既存の半導体集積回路または回路ブロックのデータをインターネットもしくはイントラネット（インターネットを組織内のコミュニケーションのために利用する通信網のこと。）を介してロードするためのボタンが用意されている。これにより、管理センター29が保有し管理するデータライブラリ14や、同じ組織内の他の部門の設計グループ27、28のライブラリ12、13、自部門で構築したデータライブラリなどから、データをロードし利用することができる。この時、ファイヤウォールを設定してデータライブラリへのアクセス制限を行ったり、ftpクライアント経由でデータをロードするなどして、データライブラリに対するセキュリティを確保することは容易にできる。

【0104】ここに、ftp(file transfer protocol)クライアントとは、インターネットを介してファイルを移動するためのソフトウェアをいう。

【0105】入力パネルのテキストフィールド内への各値の更新は、データをロードしたと同時にを行うこともできれば、新たにデータ更新ボタンを用意しておいてそのボタンのクリックによって更新を開始するようになるとができる。ロードしたデータが複数行にわたっている場合は、入力パラメータの更新時に、何行目をテキストフィールドにセットするかを選択できるようにしておけばよい。

【0106】さらに、データフォームコントロールパネル9のデータセーブボタン92によって、ローカルな記憶デバイス24、25にデータを保存したり、データ登録ボタン93によって、新規の回路ブロックのパラメータを管理センター29などのライブラリ14へ登録するようになることができる。この登録は、管理部門29へ電子メール（指定された宛先へメッセージを送る機能）で情報を送るようにし、管理部門29で検討した後登録するといった方法をとれば、さらに高いセキュリティを確保することができる。

17

【0107】この他に、パラメータの入力をある程度簡略化するために、デフォルト値（標準値）を設定したり入力するためのボタンを設けたり、いくつかの入力パラメータの組の中から選択するように Choi-Spot を設定することもできる。

【0108】入力パラメータの組とそれによる計算値がある程度固まつたら、システム解析ブラウザリターンボタン 75 をクリックして、システム解析ブラウザ 10 の画面へ戻る。この時、回路ブロック解析ブラウザ 11 で検討に用いた入力パラメータの組およびそれから計算され出力データを、システム解析ブラウザ 10 で使用できるようにロードする。ロードするデータは、回路ブロック解析ブラウザ 11 におけるデータフォームパネル 8 に出力されたデータの組である。データをロードしたと同時に回路構成入力パネルの以前指定した回路ブロックにおける入力テキストフィールド内に値を表示するか、もしくはデータ表示ボタンを用意しておいてそのボタンのクリックによってデータを表示するようにすることもできる。ここで表示するデータはシステム解析に必要なデータの組だけでよい。例えば、ブロックのサイズ、動作周波数、消費電力などである。ロードしたデータが複数行にわたっている場合は、入力パラメータの更新時に、何行目をテキストフィールドにセットするかを選択できるようにしておけばよい。

【0109】このような、回路ブロックの宣言から、回路ブロック解析ブラウザ 11 における回路ブロック性能の見積もり、回路ブロック性能解析結果のロードまでの操作を、回路ブロックの数だけ繰り返す (S8)。回路ブロックの構成を終えた後、システム解析コントロールパネル 2 にあるシステム解析スタートボタン 40 をクリックすると、回路ブロック間の配線遅延を解析し、計算結果を回路ブロックの性能と合わせてシステム解析データフォームパネル 3 に表示する (S9)。

【0110】この時の解析結果、例えば回路ブロック間の配線遅延と回路ブロックの動作周波数を見て、必要に応じて回路ブロック解析ボタン 32 をクリックすることにより、また回路ブロックの解析に戻ることもできる。あるいは、回路ブロック性能値に仮の値を入力して、システム全体の性能変化を見ることもできる。ただしこの場合は、変更した回路ブロックのデータの組が有効でないことを示す必要がある。これには、例えば有効／無効を示す変数をあらかじめ設定しておき、それに無効という状態をセットするとか、回路ブロックのシステム性能を表示しているテキストフィールドの文字の色を赤色にするなどといったさまざまな方法がある。

【0111】性能値を変更した回路ブロックに対して回路ブロック解析ボタン 32 をクリックすると、回路ブロック解析ブラウザ 11 に移った際、回路ブロック解析データフォームにおける性能値の部分は、解析による正しい値が設定されているわけではないので、この時も文字

10

の色を赤色にするなどして、データが解析された値でないことを表示する。この値に近づくように、入力パラメータを変更して解析を行い、十分近い値になったところでシステム解析ブラウザ 10 に戻れば、より正確なシステム全体の解析を行うことができる。

【0112】システム全体の性能解析結果を保存したい場合は、システム解析データフォームコントロールパネル 4 にあるデータセーブボタン 52 をクリックし、ローカルな記憶デバイス 24、25 に記録することができる (S10)。この時各回路ブロックの入力パラメータおよび性能値の組も同時に保存することもできる。これには、例えばデータセーブボタン 52 をクリックする前に、回路ブロック解析データ追加ボタン 42 をクリックして、システム解析データフォーム上に、各回路ブロックの入力パラメータおよび性能値の組を追加してから保存するようにすればよい。

20

【0113】システム全体の性能解析結果も、回路ブロックと同じように管理センター 29 などのライブラリ 14 へ登録するようにすることができる (S10)。ただし、このときのデータについても、構成する個々の回路ブロックの入力パラメータのデータが付随しているものと、それがなく回路ブロックについての必要最小限のデータと回路ブロック間配線遅延のデータのみのものとが存在する。さらに回路ブロックの解析データとも判別できるように、これらのデータは拡張子で区別される。また、このシステム解析データの登録についても、回路ブロック解析データの場合と同様に、管理部門へ電子メールで情報を送るようにし、管理部門で検討した後登録するといった方法をとれば、さらに高いセキュリティを確保することができる。

30

【0114】ここまで、システム解析を新規に始めた場合を説明したが、システムの性能解析データをロードした後、それを改良していくといったことも可能である。このとき、回路ブロックのデータが付随したデータをロードする場合と、回路ブロックについての必要最小限のデータと回路ブロック間配線遅延のみのデータをロードする場合がある。

40

【0115】前者の場合は、データのロードと同時に回路ブロック構成入力パネルを更新することもできるし、回路ブロック構成入力パネル更新ボタンをクリックしてから更新を開始するようにすることもできる。更新した後回路ブロック解析ブラウザ呼び出しボタンをクリックすると、すぐに選択した回路ブロックの解析を行うことができる。

50

【0116】一方、後者の場合もデータのロードの後、回路ブロック構成入力パネルを更新することはできるが、個々の回路ブロックのパラメータのデータが不足しているため、回路ブロック解析ブラウザ呼び出しボタン 32 をクリックすると、ブラウザが切り替わったあとデータのロードの操作に入る。ここで目的の回路ブ

19

ロック解析データを、管理センター29のライブラリ14やローカル27、28の記憶デバイス24、25のライブラリ12、13からロードすれば、回路ブロックの解析に入ることができる。

【0117】

【実施例】次に、システム解析ブラウザ10及び回路ブロック解析ブラウザ11の動作の詳細について説明する。

【0118】図4にシステム解析ブラウザ10の一例の構成図を示す。全体の構成は、半導体集積回路名入力テキストフィールド30、回路ブロック構成入力パネル1、システム解析コントロールパネル2、システム解析データフォームパネル3、およびシステム解析データフォームコントロールパネル4の5つの部分からできている。

【0119】回路ブロック構成入力パネル1では、半導体集積回路を構成する回路ブロックを記述したり、それの予測性能を表示する。システム解析コントロールパネル2では、構成する個々の回路ブロックの予測性能から全体のシステムとしての性能を計算するなどの処理を命令する。システム解析データフォームパネル3では、システムの性能解析結果などを表示する。システム解析データフォームコントロールパネル4では、システム解析データを保存したり、ロードしたりするなどの処理を命令する。

【0120】まず半導体集積回路の名前を半導体集積回路名入力テキストフィールド30に入力する。ここに記入された文字をもとにシステム解析データのファイル名が決まる。

【0121】次に回路ブロック構成入力パネル1において、半導体集積回路を構成する各回路ブロックを記述していく。ここで回路ブロック構成入力ラベル35が表示されていると、次からの各パラメータの意味が分かりやすくなる。各回路ブロックの名前は、回路ブロック名入力テキストフィールド31に入力する。ここに記入された文字をもとに回路解析データのファイル名が決まる。

【0122】そして、その隣に位置する回路ブロック解析ブラウザ呼び出しボタン32をクリックすると回路ブロック解析ブラウザ11に切り替わり、回路ブロックの各入力パラメータの入力と回路ブロックの性能予測値の計算を行う。

【0123】回路ブロックの解析を終えて再びシステム解析ブラウザ10に戻ると、回路解析結果出力テキストフィールド33に、計算された値が表示される。

【0124】同様の操作を、集積回路を構成する回路ブロック全てに対して行う。回路ブロック数が増えてきたら、回路構成入力パネルスクロールバー34を用いて、入力パネルをスクロールし下の行を表示させることができる。

【0125】全ての回路ブロックの性能予測値の表示を

20

終えたら、次にシステム解析コントロールパネル2にあるシステム解析スタートボタン40をクリックし、全ての組み合わせの回路ブロック間における配線遅延を、数21にしたがって計算する。計算が終わると、システム解析データフォームパネル3に、各ブロックの性能予測値と、回路ブロック間の配線遅延が計算されたデータが表示される。回路ブロック構成を変えたり、回路ブロック自体の入力パラメータを変えて、システム解析スタートボタン40をクリックすると、また新たに計算が行われ、システム解析データフォームは新しい値が上書きされる。

【0126】回路ブロック解析データ追加ボタン42をクリックすると、回路ブロックそれぞれの入力パラメータおよび解析結果がシステム解析データ100の下の行に加えられる。

【0127】回路構成入力パネルクリアボタン41をクリックすると回路ブロック入力パネルが全てクリアされる。

【0128】システム解析データフォームコントロールパネル4のシステム解析データセーブボタン52をクリックするとシステム解析データフォーム3に表示されたデータがローカル27、28の記憶デバイス24、25に保存される。この時システム解析データ100フォームに各回路ブロックの解析データが追加されている場合と、そうでない場合で、保存するときのファイル名の拡張子を異なるものになるようにしておく。これにより、後で、システム解析データをロードする際に、どちらの種類のデータかをファイル名を見ただけで判断することができるようになる。

【0129】システム解析データ登録ボタン53をクリックすると、システム解析データを管理センター29のライブラリ14に直接または間接的に登録できる。CGI（コモン・ゲート・インターフェース）を通してデータフォームを送るか、または電子メール（e-mail）で管理センター29へ送るなどすればよい。

【0130】システム解析データロードボタン（ローカル）50をクリックするとローカル27、28の記憶デバイス24、25に保存されているライブラリ12、13からシステム解析データを引き出すことができる。その際、システム解析データフォームの内容が置き換わるだけでなく、回路ブロック構成入力パネル1の内容や、各回路の入力パラメータまで全ての内容が新しく置き換えられる。

【0131】システム解析データロードボタン（管理センター）51をクリックした場合も同様である。ただし、管理センター29のライブラリ14に登録されているものからデータをロードしてくるところが異なっている。例えば、ftpクライアントが起動し、管理センターの所定のディレクトリからデータを持ってくるようにしておき、管理センター側でユーザー登録されている者

21

だけが  $f t p$  でデータを得られるようにしておけば、セキュリティは確保される。

【0132】システム解析データクリアボタン 51 をクリックすると、システム解析ブラウザ 10 で入力されたすべての値、文字がクリアされる。

【0133】図 5 に回路ブロック解析ブラウザ 11 の一例の構成図を示す。全体の構成は、回路ブロックパラメータ入力パネル 5、回路ブロック解析コントロールパネル 6、回路ブロック解析データ出力パネル 7、回路ブロック解析データフォームパネル 8、回路ブロック解析データフォームコントロールパネル 9 の 5 つの部分からなる。

【0134】回路ブロックパラメータ入力パネル 5 では、回路ブロックの各パラメータを入力する。回路ブロック解析コントロールパネル 6 では、入力されたパラメータをもとに回路ブロックの性能を計算するなどの処理を命令する。回路ブロック解析データ出力パネル 7 では計算された回路ブロックの予測性能値が表示される。回路ブロック解析データフォームパネル 8 には、入力パラメータと性能予測値などの回路解析データが表示される。回路ブロック解析データフォームコントロールパネル 9 では、回路ブロック解析データを保存したり、ロードしたりするなどの処理を命令する。

【0135】システム解析ブラウザ 10 から回路解析ブラウザ 11 を呼び出すと、指定した回路の名前が回路ブロック名表示テキストフィールド 60 に表示された状態で、回路解析ブラウザ 11 が起動される。ここで、初めて回路ブロックの解析を行う場合は、その他の部分は全て空白の状態が表示される。以前回路ブロック解析を行ったものを再び解析する場合は、以前に解析を行ったときの数値などが表示される。システム解析ブラウザ 10 で回路ブロック解析データ付きのデータをロードした後、この回路ブロック解析ブラウザ 11 を呼び出した場合は、ロードしたデータが表示される。システム解析ブラウザ 10 で回路ブロック解析データ無しのデータをロードした後、あるいは新規のシステム解析ブラウザ 10 で回路ブロックの仮の性能予測値を入力した後、この回路ブロック解析ブラウザ 11 を呼び出した場合は、回路ブロックデータ出力パネル 7 に仮の性能値が表示される。

【0136】次に、回路ブロックパラメータ入力パネル 5 の各入力テキストフィールド 59 に、それぞれの値を入力する。この時、回路ブロック入力パラメータラベル 66 が表示されていれば、各パラメータ値の入力に際し、間違えずに行うことができる。また各行ごとにパラメータの種類が分類されていると分かりやすい。例えば、VDDなどのトランジスタパラメータはトランジスタパラメータ入力エリア 61 に、nwなどの配線パラメータは配線パラメータ入力エリア 62 に、Ngなどの回路パラメータは回路パラメータ入力エリア 64 に、Nf

22

$f$  などのクロックパラメータはクロックパラメータ入力エリア 65 に、それぞれまとめて各入力テキストフィールド 59 を並べておく。61 と 62 はあわせてテクノロジパラメータ入力エリアと呼ばれる。

【0137】ある入力パラメータの組をまとめて入力するように、 Choi インボタンやデフォルト値入力ボタンを用意することもできる。例えばテクノロジパラメータ Choi インボタン 67 をクリックすると、図 9 のポップアップリスト表示画面の一例の構成図に示すようなポップアップリストが現れ、そこである項目を選択するとテクノロジパラメータ全部にそれに対する値が入力される。同様に回路パラメータ Choi インボタン 68 をクリックすると、図 10 のポップアップリスト表示画面の一例の構成図のようなポップアップリストが現れ、選択すると今度は回路パラメータが入力される。

10

【0138】クロックパラメータデフォルト値入力ボタン 69 をクリックすると、あらかじめ設定しておいたクロックパラメータが入力される。また、 Choi インボタン 68 やデフォルトボタン 69 によって、値を設定したあと、テキストフィールドにカーソルを移動させ、値を上書きすることも可能である。

20

【0139】各入力テキストフィールド全てに値を入力したら、次に回路ブロック解析コントロールパネル 6 にある、回路ブロック解析スタートボタン 70 をクリックすると、数 1 ～ 20 にしたがって計算が行われ、回路ブロック解析データ出力パネル 7 に計算結果が出力される。後でシステム解析で使用するブロックサイズ Dc 80、動作周波数  $f_c$  81、消費電力  $P_c$  82 は、計算結果としては最低限出力する必要があるが、この他のデータ出力、たとえば、クロックスキュー  $T_{skew}$  を加えてもよい。出力データを検討した後、再び入力パラメータを変更して回路ブロック解析スタートボタン 70 をクリックすると、新しい値を用いて計算が行われ、回路ブロック解析データ出力パネルに新たな値が上書きされる。

30

【0140】回路ブロック解析データフォーム出力ボタン 72 をクリックすると、回路ブロック解析データフォームパネル 8 に、入力パラメータの全部と計算結果の一部が表示される。このボタンをクリックするたびに、新しい回路ブロック解析データが回路解析データフォームの最終行に追加される。

【0141】回路ブロック入力パネルクリアボタン 71 をクリックすると入力テキストフィールド 59 に設定された値がクリアされる。

【0142】回路ブロック解析データフォームコントロールパネル 9 にある回路解析データセーブボタン (ローカル) 92 をクリックすると、ローカルな記憶デバイス 24、25 に回路解析データを記録することができる。このときファイル名には、回路名に決められた拡張子をつけた名前をつけるようにすれば、あとで参照しやす

50

23

い。当然、回路解析データ付きシステム解析データや、回路解析データ無しシステム解析データと区別できるよう、それらとは異なった拡張子を設定しておく必要がある。

【0143】回路解析データ登録ボタン（管理センター）93をクリックすると、管理センター29の回路解析のデータのライブラリ14に新たな回路ブロックとして登録することができる。このときのセキュリティを確保する方法は、システム解析データの場合と同様に行えよう。

【0144】回路解析データロードボタン（ローカル）90をクリックすると、ローカルな記憶デバイス24、25から、回路解析データをロードすることができる。データのロードの終了と同時に、回路ブロック解析データフォームパネル8にデータが表示される。

【0145】ここで、回路ブロック入力値更新ボタン73をクリックすると、回路解析データフォームの入力パラメータが、回路ブロックパラメータ入力パネル5に設定される。回路解析データフォームが複数行に渡っている場合は、行番号指定テキストフィールド76に、何行目の値で更新するかを指定するようにすればよい。行番号指定テキストフィールド76の設定値は、デフォルト（標準値）では3であり、データが無い行番号や、図5の例では1、2のような適切でない行番号が設定してある場合は、ブラウザがエラーメッセージを適当なところへ表示し、データの更新はなされない。

【0146】回路解析データロードボタン（管理センター）91をクリックすると、ロードするとの場所が管理センター29になるだけあって、あとはローカル27、28の場合と同じである。この場合のデータのセキュリティーも、システム解析データの管理センター29からのロードと同様の方法で確保できる。

【0147】回路ブロックの解析が終わったら、システム解析ブラウザリターンボタン75をクリックして、システム解析の入力画面に戻る。この時同時に、回路ブロック解析の入力パラメータと出力解析データが、システム解析ブラウザ10へ渡され、回路解析結果出力テキストフィールド33に表示される。

【0148】また、回路解析データフォームクリアボタン94をクリックすると、回路解析データフォームパネルに表示されたデータがクリアされる。

【0149】図11に、回路解析データの一例の、さらにその一部の表示画面の構成図を示す。第1行目は回路名に拡張子をつけたもの、第2行目は各パラメータのラベルが書かれ、第3行目以降に入力パラメータおよびそれによる解析結果の一部が書かれている。

【0150】図12に、回路解析データ無しシステム解析データの一例の、さらにその一部の表示画面の構成図を示す。データは一行目は集積回路の名前に拡張子が追加されたもの、第2行目から第5行目は、構成する回

24

路ブロック（ここでは3つのブロックから構成されていると仮定）の、システム解析に関する回路ブロックの解析データ（ここでは一例としてDc、fc、Pc）が示されている。回路ブロックには入力の順に番号が打たれ、6行目以降に回路ブロック間の配線遅延を、回路ブロックに付けられた番号を用いて示されている。この解析データは、各回路ブロック間における典型的な配線遅延値（たとえば、k=1の場合）を表示しているが、この値とともに最大値（たとえば、k=2の場合）を表示することも可能である。

【0151】図13に、回路解析データ付きシステム解析データの一例の、さらにその一部分の表示画面の構成図を示す。図12のデータの最後の行から、各回路ブロックの解析データが加えられている。

【0152】図11～図13のデータは、拡張子のみで区別できるようになっている。図では例として拡張子をそれぞれ、bra、syi、sypとして、各データの第一行目にファイル名を示している。

【0153】図4、図5で示した例は、回路ブロックそれぞれに対して、全てのパラメータを入力する場合を示したが、回路ブロック全てに共通なパラメータは、図4のシステム解析ブラウザ10のところで入力するよう也可以である。この場合は、回路ブロック解析ブラウザ呼び出しボタン32をクリックした際に、共有パラメータとして入力したデータを、回路ブロック解析ブラウザ11で使用できるようになっていく必要がある。また、回路ブロック解析ブラウザ10で、別の回路ブロックのデータをロードし、回路ブロック入力値ボタンをクリックした際には、共有パラメータ以外のパラメータが更新されるように変更する必要がある。共有パラメータとしては、例えば電源電圧VDD、ゲート長Lg、ブロック間配線長比r1、配線層数nw、配線効率ew、クロックバッファの一段あたりの分岐数nb、クロックバッファ間配線長の変動率Δ10/10などが挙げられる。

【0154】また、ここではシステム解析ブラウザ10（図4）と回路ブロック解析ブラウザ11（図5）を連携して使用する場合を説明したが、システム解析ブラウザ10、または回路ブロック解析ブラウザ11をそれぞれ単独で使用することも可能である。

【0155】システム解析ブラウザ10を単独で使用する場合は、回路ブロック呼び出しボタン32は使用せず、回路ブロック解析結果出力テキストフィールド33には、設計者の予測値や経験値を入力してシステムの性能を見積もる。システム解析データフォームパネル3には、回路ブロック解析データ無しシステム解析データしか出力されず、データのゼーブもそれのみである。

【0156】回路ブロック解析ブラウザ11を単独で使用する場合は、半導体集積回路名表示ラベル74は空白のままにし、システム解析をブラウザリターンボタン7

らは使用せず、回路ブロックの入力パラメータからの性能見積りのみを行う。

## 【0157】

【発明の効果】本発明によれば、複数の回路ブロックの組み合わせからなる半導体集積回路の設計支援方法であって、その設計支援方法を各回路ブロックごとに各回路を構成する能動素子及び配線材に関するテクノロジパラメータを入力する過程と、各回路ブロックの回路規模を決定する回路パラメータを入力する過程と、クロック供給源とこのクロック供給を受ける各回路ブロック間の伝送路に挿入されるクロックバッファに関するクロックパラメータを入力する過程と、前記各過程で入力されたパラメータを用いて各回路ブロックのクロックスキューの予測、各回路ブロックのサイズ、動作周波数及び消費電力の予測のうち少なくとも1つを行う過程とを含み構成したため、各回路ブロックごとにテクノロジパラメータ、回路パラメータ及びクロックパラメータを入力することによりクロックスキューの予測、及び各回路ブロックのサイズ、動作周波数及び消費電力の予測を行うことができる。

【0158】さらに、得られた各回路ブロックのサイズに基づき各回路間の配線遅延時間を予測することができる。

【0159】従って、複数の回路ブロックの組み合わせからなる半導体集積回路の全体的な評価を設計初期の段階で予測することができる。

【0160】又、その予測を通信回線を介して遠隔より行う過程を含ませることができるために、複数の異なる場所からこの設計支援方法を利用することができる。

【0161】本発明の他の発明によれば、複数の回路ブロックの組み合わせからなる半導体集積回路の設計支援システムであって、その設計支援システムを各回路ブロックごとに各回路を構成する能動素子及び配線材に関するテクノロジパラメータを入力する手段と、各回路ブロックの回路規模を決定する回路パラメータを入力する手段と、クロック供給源とこのクロックの供給を受ける各回路ブロック間の伝送路に挿入されるクロックバッファに関するクロックパラメータを入力する手段と、前記各手段で入力されたパラメータを用いて各回路ブロックのクロックスキューの予測、各回路ブロックのサイズ、動作周波数及び消費電力の予測のうち少なくとも1つを行う手段とを含み構成したため、各回路ブロックごとにテクノロジパラメータ、回路パラメータ及びクロックパラメータを入力することによりクロックスキューの予測、及び各回路ブロックのサイズ、動作周波数及び消費電力の予測を行うことができる。

【0162】さらに、得られた各回路ブロックのサイズに基づき各回路間の配線遅延時間を予測することができる。

【0163】従って、複数の回路ブロックの組み合わせ 50

からなる半導体集積回路の全体的な評価を設計初期の段階で予測することができる。

【0164】又、その予測を通信回線を介して遠隔より行うシステムを含ませることができるために、複数の異なる場所からこの設計支援システムを利用することができる。

【0165】本発明による他のもう1つの発明によれば、複数の回路ブロックの組み合わせからなる半導体集積回路の設計支援方法が記録された記録媒体であって、その記録媒体に各回路ブロックごとに各回路を構成する能動素子及び配線材に関するテクノロジパラメータを入力する過程と、各回路ブロックの回路規模を決定する回路パラメータを入力する過程と、クロック供給源とこのクロックの供給を受ける各回路ブロック間の伝送路に挿入されるクロックバッファに関するクロックパラメータを入力する過程と、前記各過程で入力されたパラメータを用いて各回路ブロックのクロックスキューの予測、各回路ブロックのサイズ、動作周波数及び消費電力の予測のうち少なくとも1つを行う過程とを実行させるための

10 プログラムを記録したため、その記録媒体を用いることにより各回路ブロックごとにテクノロジパラメータ、回路パラメータ及びクロックパラメータを入力してクロックスキューの予測、及び各回路ブロックのサイズ、動作周波数及び消費電力の予測を行うことができる。

【0166】さらに、得られた各回路ブロックのサイズに基づき各回路間の配線遅延時間を予測することができる。

【0167】従って、複数の回路ブロックの組み合わせからなる半導体集積回路の全体的な評価を設計初期の段階で予測することができる。

30 【0168】又、その予測を通信回線を介して遠隔より行うシステムを含ませることができるために、複数の異なる場所からこの設計支援方法を記録した記録媒体を利用することができる。

## 【図面の簡単な説明】

【図1】本発明に係る半導体集積回路の設計支援システムの全体構成図である。

【図2】同システムの記録媒体を含むコンピュータシステムの構成図である。

40 【図3】同システムの動作を示すフローチャートである。

【図4】同システムのシステム解析ブラウザの一例の構成図である。

【図5】同システムの回路ブロック解析ブラウザの一例の構成図である。

【図6】同システムの配線遅延を説明するための模式説明図である。

【図7】同システムの配線遅延を説明するための模式説明図である。

【図8】同システムの配線遅延を説明するための模式説

28

明図である。

【図9】同システムのポップアップリスト表示画面の一例の構成図である。

【図10】同システムのポップアップリスト表示画面の一例の構成図である。

【図11】同システムの回路解析データの一例のさらにその一部分の表示画面の構成図である。

【図1.2】同システムの回路解析データ無しシステム解析データの一例のさらにその一部分の表示画面の構成図である。

【図1.3】同システムの回路解析データ付きシステム解析データの一例のさらにその一部分の表示画面の構成図である。

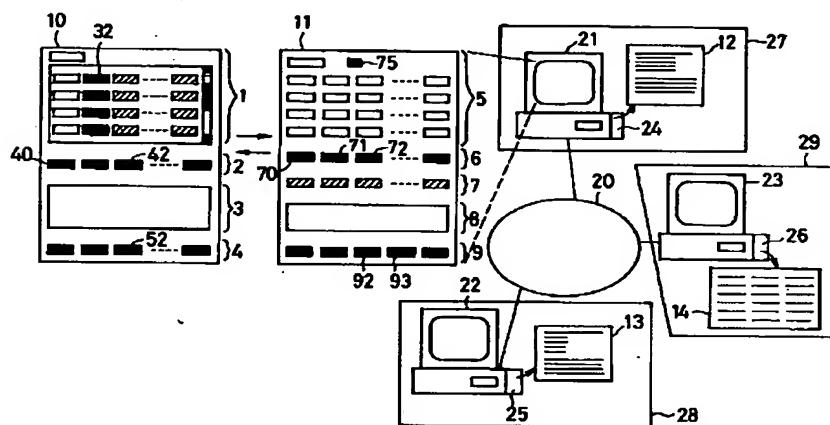
【図14】クロック発生器が伝送線にてフリップフロップ回路ブロックと直結されている場合の回路図である。

【図15】クロック発生器がクロックバッファを介してフリップフロップ回路ブロックと接続されている場合の回路図である。

### 【符号の説明】

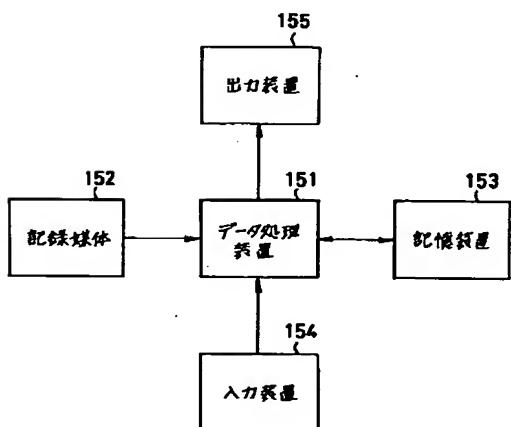
10 システム解析ブラウザ  
 11 回路ブロック解析ブラウザ  
 20 通信回路網  
 21~23 コンピュータ  
 24~26 記憶デバイス  
 10 151 データ処理装置  
 152 記録媒体  
 153 記憶装置  
 154 入力装置  
 155 出力装置

〔圖1〕

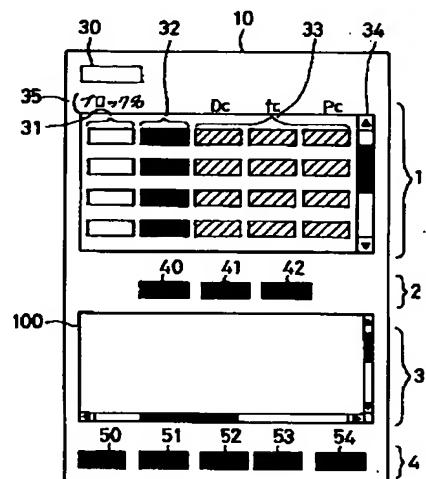


〔図6〕

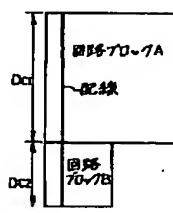
[図2]



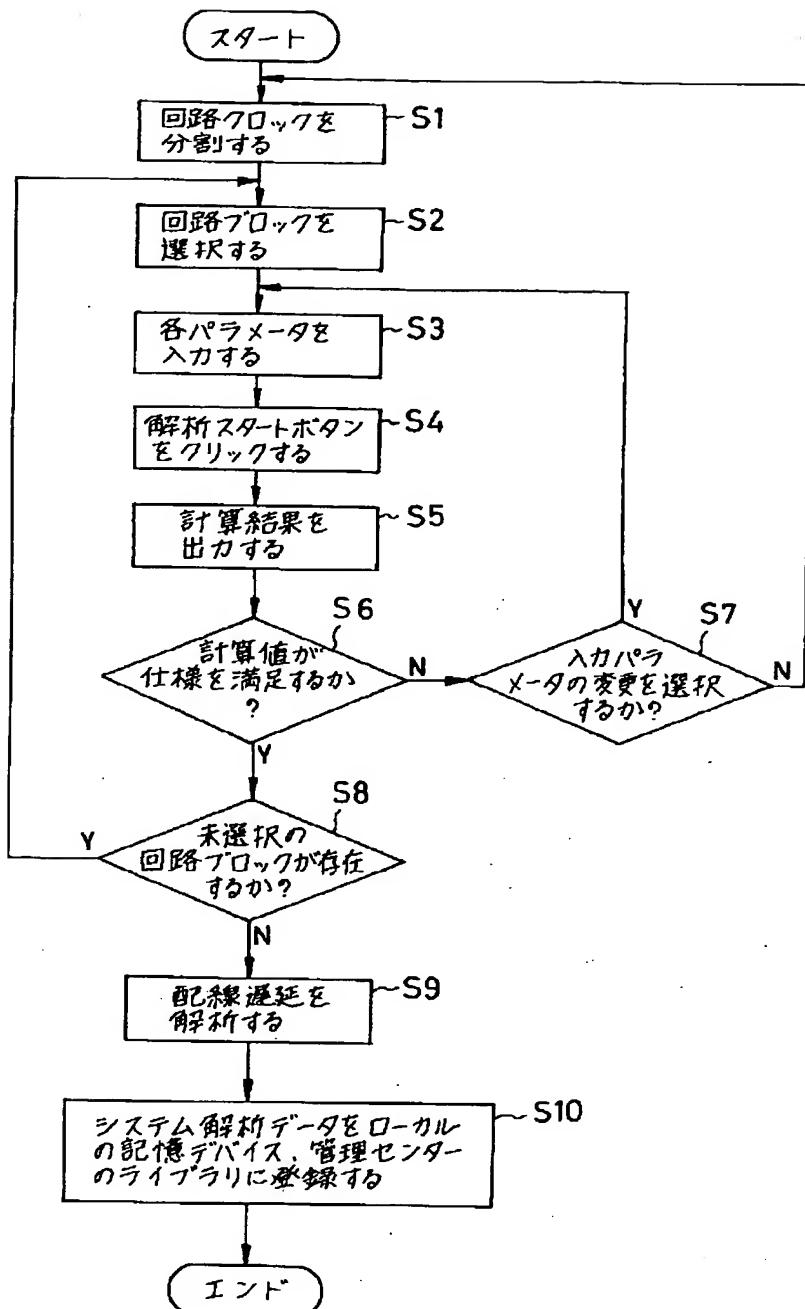
【图4】



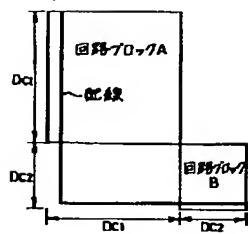
〔図7〕



【図3】



【図8】



【図12】

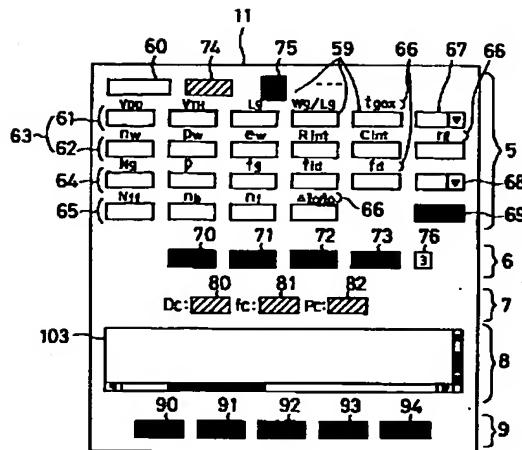
	Dc	fc	Pc
1:cpucore_cmosff.bra	5.5	500	6.5
2:DSP_L013A.bra	7.7	450	2.0
3:CacheL_L013S.bra	12.2	220	0.5
1 2 3			
1 210 350			
2 210 150			
3 350 150			

【図10】

【図11】

cpucore_cmosff.bra											
VDD	VTH	Lg	Wg/Lg	tg <sub>ox</sub>	rw	pw	ew	Rint	Cint	rf	Ng...
1.5	0.3	0.13	5	4.5	6	0.4	0.5	0.44	0.21	1	5e7...

【図5】



【図13】

	Dc	fc	Pe									
1:cpucore_cmos.sbr	5.5	500	6.5									
2:DSP_L013A.sbr	7.7	450	2.0									
3:Cache_L013S.sbr	12.2	220	0.5									
	1	2	3									
1	—	210	350									
2	210	—	150									
3	350	150	—									
1:cpucore_cmos.sbr	Vdd	Vth	Lg	Wg/Lg	tgox	Rw	Dw	Ew	Rint	Cint	fL	Ng—
1.5	0.3	0.13	5	4.5	6	0.4	0.45	0.4	0.44	0.21	1	2e7—
2:DSP_L013A.sbr	Vdd	Vth	Lg	Wg/Lg	tgox	Rw	Dw	Ew	Rint	Cint	fL	Ng—
1.5	0.3	0.13	10	4.5	6	0.45	0.4	0.4	0.44	0.21	1	2e6—
3:Cache_L013S.sbr	Vdd	Vth	Lg	Wg/Lg	tgox	Rw	Dw	Ew	Rint	Cint	fL	Ng—
1.5	0.3	0.13	4	4.5	6	0.35	0.6	0.6	0.44	0.21	1	5e6—

【図14】



【図15】

